

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平7-235680

【公開日】平成7年9月5日(1995.9.5)

【年通号数】公開特許公報7-23557

【出願番号】特願平6-25860

【国際特許分類第7版】

H01L 29/086

21·336

21·265

【F I】

H01L 29.78 311 P

21·265 G

29.78 311 G

【手続補正書】

【提出日】平成13年2月23日(2001.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項1】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテーパ状にパターニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜をその底面端部が広がったテーパ状にパターニングする工程と、この導電膜のパターンをマスクとして前記半導体層に所定濃度の不純物を導入する工程と、前記導電膜の側面をエッチングしてゲート電極を形成する工程と、前記半導体層に、前記ゲート電極をマスクとして前記所定濃度よりも低い濃度の不純物を導入する工程と、を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 前記導電膜をパターニングする工程と、前記ゲート電極を形成する工程では同一のマスクを用い

ることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 前記半導体層を島状に形成する工程の前に、前記絶縁基板上にバッファ層を形成する工程を具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 前記薄膜トランジスタの製造方法において、前記ゲート電極をレーザ活性化する工程をさらに具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】プラズマ、発光ダイオード、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの中で、非晶質であるアモルファス・シリコン(a-Si)または結晶を持ったシリコン・ポリシリコン(poly-Si)を用いた薄膜トランジスタ(TFT)をスイッチング素子としてマトリック上に配した液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】特にpoly-Siを用いたTFTは、a-Si TFTよりも移動度が10倍から100倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路にpoly-Si TFTを用いて、画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDの研究開発

が盛んに行われている。

【0005】p+Iy-S+TFTは、I-S+TFTに比べ移動度は高いが、他方リーク電流（TFTがOFFのとき流れてしまうリーク電流）がIy-S+TFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならぬが画素エッチングに用いた場合は、画質劣化の原因となる。

【0006】そのため、画素に用いるp+Iy-S+TFTには、さまざまに構造上工夫をこらしたものがある。その一例として、オフセット構造を持ったTFTを製造する場合、ソーフドレイト領域、オフセット領域を形成するために、フォトリソグラフィー工程が2回必要である。従って露光のために少くとも2つのマスクが必要であり、それに伴うPEP工程等の露光工程もまた必要となり、工程が煩雑化するという問題があった。

#### 【0007】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーク電流の低減化に有利なオフセット構造を有するものの、少くとも2つのマスクが必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【0008】本発明は上記問題点に鑑みてなされたもので、1回の露光工程でオフセット構造、あるいはLDD構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

#### 【0009】

【課題を解決するための手段】上記目的を達成するためには、絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに並い、底面が広がったデータ状にバーニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するものである。ここで、半導体は4族半導体や3-4族等の加工物半導体であっても良いが、液晶表示装置に使用した際の画質向上面からよりコントラストが好ましい。

#### 【0010】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する際、ゲート電極のエッチング工程、不純物注入工程、再エッチング工程を、同一のマスクで行うことにより、サブミクロノあるいはミクロンオーダのオフセット領域の製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

#### 【0011】

【実施例】以下、本発明に詳細を図示の実施例により説明する。（実施例1）実施例1を図1に従い説明する。

図1にはチヤタルコアラナ型 TFT の製造工程を示している。

【0012】最初にガラス基板・石英基板等からなる透光性絶縁基板101としてVD法によりバッファ層となるSiO<sub>2</sub>膜102を10nm程度被着する。さらにCVD法によりI-S+TFT用膜を50nm被着し、450度で1時間炉アーナーを行った後、例えばUV-Eチヤタルコアラナ型エッカーラーによりI-S+TFT用膜を溶融再結晶化させp+ドーピング膜103を形成する。その後、フォトリソグラフィー等によりp+ドーピング膜103をバーニング、エッチングし、島状に加工する（図1(a)）。

【0013】次に、CVD法によりゲート絶縁膜としてSiO<sub>2</sub>膜104を100nm被着した後、ゲート電極として例えば燐ドーピング膜105を400nm被着する（図1(b)）。

【0014】フォトリソグラフィーによりレジスト、感光性ポリイミド106等をバーニングした後に、ゲート電極107aを例えばCVD法等によりタ=2.5°の角度がつてようエッチングを行う（図1(c)）。

【0015】次にレジスト、ポリイミド等の剥離を行わず、イオン注入、イオンドーピング法により燐を注入する。イオン注入法の場合、例えば加速電圧は100kV、一電子量は5×10<sup>12</sup>cm<sup>-2</sup>とする。燐イオンは上部にゲート電極が存在しないソース・トレイン領域108には燐オシグレビートでされる。この領域に電気的に隣接してゲートテール端部を通過して燐イオンが注入される領域、つまりライドリードされた領域109、さらに隣接して膜厚が200nm以上あるテーパ部直下の活性層領域、すなわちインクリメント101のままである領域110が得られる（図1(d)）。

【0016】次にレジスト、ポリイミド等の剥離を行わず、CDE法によるエチング時に用いたままの状態でさらに、RIE法の異方性エチチング時のマスクとして使用する。RIE法によりタ=8.7度のチーハ角でゲート電極を再エッチングすると約600nmのオフセット領域110と、約400nmのLDD領域111が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再エチチングによりゲート電極107a長は短くなり、それにともないチヤタル領域はやや短くなる。チヤタルに隣接して前記ソース・トレイン（LDD）領域109、インクリメント101領域（オフセット領域）110のチーハ角は約20.0mJ/cm<sup>2</sup>とすれば、十分に活性化ができる。

【0017】この後レジスト等の剥離を行った後、APCVD法により層間絶縁膜111を400nm程度被着する（図1(e)）。次に、例えばXeF<sub>2</sub>等のエチカルコアラナ型エッカーラーによりソース・トレイン領域、ゲート電極107aの活性化を行う。この時のレーザエネルギーは約20.0mJ/cm<sup>2</sup>とすれば、十分に活性化ができる。

る。レーザ活性化法を用いた場合不純物の拡散長は、たしかに約6.0 nm程度であるので約5.4 nm ( $L_0$ )、5.5 nm ( $L_1$ ) のオフセット領域110が形成される。さらに、しDD領域109とオフセット領域110を同時に溶融させるために、良好な接合を形成できることも、リード電流低減に寄与している(図1-(g))。

【00118】さらに、フォトマスクグラフィによりコアクトホールHを開孔し、図1-(h)、ソース・ドレイン電極として例えばAl膜をスパッタリング法により成膜する。フォトマスクグラフィ等によりソース・ドレイン電極112にバーニングして、カチャネルコプラナ型TFTが完成する(図1-(i))。

【00119】ここでゲート電極107a、107bのテープ加工について説明を加える。ゲート電極をテープエッチングする際、図2に示したようにゲート電極107の上のテープ角を $\theta_1$ 度とする。次に、レジスト等の剥離を行わずそのままゲート電極107aをマスクとして不純物を注入する。さうに、前記ゲート電極107aエッチング時に用いたレジスト等をマスクとし、ゲート電極107aのエチ部が垂直あるいは垂直に近い角度( $\theta_2$ )になるように再エッチングを行ってゲート電極107bを形成する。この時、 $\theta_2 > \theta_1$ なる条件でエッチングすることは、言うまでもない、ゲート電極107a、ゲート絶縁膜104を通過して不純物が注入される領域の長さ( $L_0$ )と、チャネル領域に隣接したオフセット領域の長さ( $L_1$ )、ケボリシリコンのいわゆるオフセット領域の長さ( $L_2$ )の制御は、ゲート電極107a、107bの膜厚、イオン加速電圧、ゲート電極テープ部の角度( $\theta_1$ 、 $\theta_2$ )等によって制御する。この時の活性層103中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端107bからの距離により、高不純物濃度領域108( $>L_0$ )、低不純物濃度領域109( $L_0 > L_1$ )、オフセット領域110( $L_1 > L_2$ )の3領域を形成することができる。

【00120】また、ゲート電極上記条件( $\theta_2 > \theta_1$ )で2回エッチングした後、ゲート電極をマスクとして、さらに不純物を低濃度で注入するとしDD構造をとることもできる。

【00121】このとき、不純物を含まないp+シリコン領域(オフセット領域)104の長さ( $L_0$ )と、低不純物濃度領域109の長さ( $L_1$ )の比( $L_0/L_1$ )が1以上であることが高い信頼性を得ることから好ましい。

【00122】この製造方法によれば、オフセット領域を形成するために新たなマスクを必要としない。従ってその分の余分のPEP工程等がなくなり、大幅に工程を簡略化することができる。

【00123】本発明のTFTにおいては、容易にオフセット構造を形成することができリード電流を7~10

mA程度に低減でき、ゲート電極にテープをつけているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に磷イオンが注入されずTFTの信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体がSi以外の半導体である化合物半導体のInAsであり、ゲート電極がWNxのショットキーデバイスになったことがある。この場合、実施例1の成なるゲート絶縁膜は不要ないので、Si基板上にInAs層を形成しておき、このInAs層上にさらに形成したテーパ形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、これ後、エッチングした下部のInAs層がオフセット領域となる。これによって実施例1とは材料系は異なるもののInAsを用いたコアラナ型TFTをオフセット領域を持った構造で実施例1と同様に形成することができる。

【00124】なお、本発明では、コアラナ型TFTについて説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャネル領域よりもゲート電極が上にくるTFT、例えばスタガ型TFTについても同様に実施することができる。また、チャネルまたはチャネルタイプのTFTに適用することができるとは言うまでもない。ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜については、窒化シリコン、窒化酸化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域については、多結晶、非晶質の各種半導体を使用することができる。

#### 【00125】

【発明の効果】本発明により、オフセット領域を形成するためのフォトマスク工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

#### 【符号の説明】

101 基板

102 ハーフマスク

103 多結晶シリコンチャネル

104 ゲート絶縁膜

107a、107b ゲート電極

108 ソース・ドレイン領域

109 低不純物濃度領域

110 オフセット領域

111 層間絶縁膜